

Universidad Tecnológica Nacional

Facultad Regional Bahía Blanca

1/7

Departamento Electrónica

PROGRAMA DE :

Técnicas Digitales I

CÓDIGO: 9-95-0326

ÁREA: Electrónica

PLAN: 1995

 RÉGIMEN ANUAL**TOTALES****PROFESOR RESPONSABLE****HORAS DE CLASE****128****Ing Néstor H. Mata****TEÓRICAS****PRÁCTICAS LABORATORIO****Mag. Ing Guillermo Güichal**

Total

% s /Total Materia

Total

% s/ Total Materia

Docente Auxiliar**94****73,4%****34****26,6%****Ing Daniel A Andreucetti****CORRELATIVAS PARA CURSADO****CORRELATIVAS PARA RENDIR FINAL**

CURSADAS

APROBADAS

CURSADAS

APROBADAS

Informática I

Álgebra y Geometría Analit.

Informática I

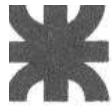
OBJETIVOS:

Técnicas Digitales I es la primera de las de de tecnología básica dentro del área digitales y debe proveer al alumno de los conocimientos lógicos básicos que incluye la lógica combinatorial, su simbología, los circuitos combinatoriales y secuenciales, las estructuras básicas de la comunicaciones entre periféricos o sea los buses de comunicación y las estructuras de las memorias RAM, ROM, EPROM, E²PROM, en especial su organización y manejo. Para ello debe introducir al alumno en las herramientas matemáticas para el estudio de los sistemas de variable discreta. Por otra parte se analiza los circuitos binarios básicos con la consecuente introducción de criterios de diseño de circuitos combinatoriales mas complejos. Continuando con el conocimiento del comportamiento y afectación de las señales de un sistema digital en circuitos RC, RL, y RLC. Se introduce al alumno en los circuitos básicos digitales y su comportamiento real con señal, teoría básica de los semiconductores en conmutación y problema de niveles lógicos y de ruido, para continuar con el estudio de las Familias Lógicas. A continuación se introduce al alumno en los circuitos biestables, monoestables y astables, para continuar con la lógica secuencial asincrónica y sincrónica, y con el estudio de contadores y registros de desplazamiento, configuraciones de contadores de cuenta ascendente y descendente, generadores de secuencia pseudo aleatoria. Como último tema se capacita al alumno en el manejo de memorias desde el punto de vista del elemento real, teniendo en cuenta los periodos de retardo de las señales y su manejo para el aseguramiento de la obtención o registro de los datos de salida entrada a los distintos tipos de memorias, así como también los procedimientos de escritura y reescritura en memorias no volátiles.

CONTENIDOS MÍNIMOS: (Ordenanza CSU N°1077)

- Lógica combinatorial
- Lógica secuencial
- Estructura de buses
- Introducción a las memorias semiconductoras
- Introducción a los lenguajes descriptores de hardware

VIGENCIA AÑOS	2007	2008	2009	2010	2011	2012
------------------	------	------	------	------	------	------



Universidad Tecnológica Nacional

Facultad Regional Bahía Blanca

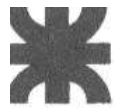
2/7

Departamento Electrónica

Materia: Técnicas Digitales I
CÓDIGO: 9-95-0326
AÑO: Tercero
Régimen: Anual
PLAN : 1995

Unidad Temática	<u>PROGRAMA ANALÍTICO:</u>	Carga Horaria
<u>Unidad Temática</u> <u>1</u>	<p>Sistemas de numeración y códigos</p> <p>Sistemas de numeración, genérico, decimal, binario, octal y hexadecimal. Métodos de conversión entre sistemas de numeración, conversión de números enteros y fraccionales. Códigos, tipos de códigos continuos y cíclicos. Códigos de caracteres de texto y simbología. Códigos binarios. Códigos binarios codificados decimal, (códigos natural, Aiken, exceso de 3, etc.) Códigos para enteros con signo y magnitud, complemento a uno y complemento a dos. Suma y resta binaria en complemento a uno y a dos. Códigos para números con coma flotante. Códigos detectores y correctores de error, distancia mínima, Código de Hamming.</p>	8 hs
<u>Unidad Temática</u> <u>2</u>	<p>Álgebra binaria</p> <p>Variables y funciones lógicas. Postulados del álgebra de Boole. Principio de dualidad teoremas del álgebra de Boole. Expresiones Canónicas. Teorema general de los minitérminos y maxitérminos, Leyes de Morgan. Conversión de suma de productos canónicos en producto de sumas canónicas y viceversa, Representación numérica de los términos canónicos, representación numérica de las funciones canónicas. Tabla de la verdad. Lógica de contactos. Diagramas de Venn. Representación de compuertas lógicas. Normativa IEEE. Funciones "Y", "O", Inversión, "No-Y", "No-O", "OExclusiva" y Buffer.</p>	10 hs
<u>Unidad Temática</u> <u>3</u>	<p>Simplificación de funciones Lógicas</p> <p>Métodos de simplificación por medio del uso de los postulados y teoremas del álgebra de Boole. Resolución gráfica por medio de mapa de Karnaugh, uso de los mapas para resolución hasta seis variables y variables no totalmente definidas. Utilización de resoluciones por productoria y sumatoria. Soluciones para estados de variables con estados no especificados. Soluciones para funciones múltiples. Representación de simplificaciones por simbología. Método numérico de simplificación de funciones, método de Quine-Mc Cluskey. Soluciones para funciones no totalmente definidas. Soluciones para funciones múltiples. Simplificación con Función OExclusiva por medio de mapas de Karnaugh. Retardos en compuertas. Fenómenos aleatorios estáticos y dinámicos. Redundancia.</p>	10 hs
<u>Unidad Temática</u> <u>4</u>	<p>Lógica combinacional con dispositivos de escala media de integración. (MSI)</p> <p>Dispositivos estándar de escala media de integración. Decodificadores, multiplexores, demultiplexores aplicaciones de multiplexores. Control de flujo de señal, Multiplexación y demultiplexación distribuidas. Estructuras de buses. Codificadores, codificadores con prioridad, detectores de paridad. Comparadores binarios. Arreglos lógicos programables para aplicaciones generales. Diseño lógico de arreglos PAL. Estructura de ROM, manejo de direcciones y flujo de datos. Sumadores y restadores binarios. Sumador-restador con acarreo. Acarreo serie y paralelo. Multiplicadores binarios. Unidades de procesadora matemática por tablas.</p>	15 hs
<u>Unidad Temática</u> <u>5</u>	<p>Comportamiento y afectación de las señales de un sistema digital en circuitos RC, RL, y RLC.</p> <p>Circuito RC pasa alto, entrada escalón, entrada en pulso, entrada de una onda cuadrada, entrada con señal exponencial, entrada con señal de rampa, circuito derivador. Circuito RC pasa bajo, entrada escalón, entrada de pulso, entrada de onda cuadrada, entrada exponencial y de rampa, circuito integrador. Circuitos atenuadores compensados. Afectación de las mediciones de tiempo de trepada. Circuitos RL, respuesta al escalón, pulso, onda cuadrada. Circuitos RLC, ringing.</p>	10 hs

VIGENCIA AÑOS	2007	2008	2009	2010	2011	2012
---------------	------	------	------	------	------	------



Universidad Tecnológica Nacional
Facultad Regional Bahía Blanca

3/7

Departamento Electrónica

Materia: Técnicas Digitales I

CÓDIGO: 9-95-0326

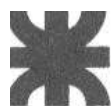
AÑO: Tercero

Régimen: Anual

PLAN : 1995

Unidad	<u>PROGRAMA ANALÍTICO:</u>	Carga Horaria
Temática <u>Unidad</u> Temática <u>6</u>	Semiconductores en la conmutación El diodo en conmutación, almacenamiento de cargas en conducción y en corte. Tiempo de retardo de encendido tiempo de crecimiento de corriente, tiempo de apagado, tiempo de almacenaje, tiempo de caída, tiempo de restablecimiento. El transistor en conmutación, estados del transistor, almacenamiento de carga, tiempos de encendido y apagado. El circuito inversor transistorizado, niveles lógicos, lógica positiva y negativa, criterio de diseño de un inversor. Cargabilidad. Niveles lógicos máximos y mínimos. Niveles de ruido, circuito disparador de Smith, criterio de diseño. Reconstrucción de señales con ruido a los niveles lógicos adecuados, cambios de nivel.	15 hs
<u>Unidad</u> Temática <u>7</u>	Familias Lógicas Familias Lógicas integrada, breve descripción de RTL, DTL, I ² L, HTL. Familia Lógica TTL, series estándar, L, S, SL, AS, ASL, niveles lógicos, curvas de entrada salida, comparación de performance de velocidad y cargabilidad. Diagrama de Bergeron de adaptación de línea y carga. Aplicaciones del diagrama de Bergeron a la determinación de transitorios en la conmutación. Distintas opciones de terminación de línea. Familia Lógica ECL, niveles lógicos, curvas de entrada salida, comparación de performance de velocidad y cargabilidad, determinación de transitorios en la conmutación. Distintas opciones de terminación de línea. Ventajas de fuente negativa con lógica positiva. Familias lógicas MOS, CMOS, HC,AHC,AHCT, AC, ACT , niveles lógicos, curvas de entrada salida, comparación de performance de velocidad y cargabilidad, determinación de transitorios en la conmutación. Distintas opciones de terminación de línea. Familias lógicas Bi-Mos , ABT, BCT niveles lógicos, curvas de entrada salida, comparación de performance de velocidad y cargabilidad. Familias lógicas de bajo voltaje, LV, LVC, LVT, niveles lógicos, curvas de entrada salida, comparación de performance de velocidad y cargabilidad. Familias lógicas de manejo de buses, BCT, GTL, BTL, ETL, niveles lógicos, curvas de entrada salida, comparación de performance de velocidad y cargabilidad. Cuadro comparativo de las principales familias lógicas. Determinación de las corrientes de consumo y pico de las distintas familias. Criterios de diseño de placas circuitales. Acoplamiento de ruido.	15 hs
<u>Unidad</u> Temática <u>8</u>	Circuitos Secuenciales Circuitos de secuencia, biestable como elemento de memoria, biestable SR, biestable SR sincronizado, metaestabilidad en biestables, Biestable tipo "D" Biestable maestro-esclavo JK, Monoestables y astables. Monoestables redispersables, Elementos sincronizados por flanco. Retardos, tiempo de establecimiento, Análisis de circuitos secuenciales sincrónicos, Dispositivos PAL y GAL secuenciales. Dispositivos biestables, monoestables y astables conformados por compuertas. Criterios de diseño.	15 hs
<u>Unidad</u> Temática <u>9</u>	Contadores Contadores asincrónicos binarios, contadores asincrónicos decimales o módulo n arbitrario. Restablecimiento a cero y carga de cuenta en contadores asincrónicos. Contadores sincrónicos, binario, decimal o módulo arbitrario. Contadores con cuenta ascendente y descendente, carga sincrónica. Aplicaciones	10 hs

VIGENCIA AÑOS	2007	2008	2009	2010	2011	2012
---------------	------	------	------	------	------	------



Universidad Tecnológica Nacional
Facultad Regional Bahía Blanca

4/7

Departamento Electrónica

Materia: Técnicas Digitales I

CÓDIGO: 9-95-0326

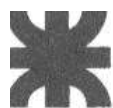
AÑO: Tercero

Régimen: Anual

PLAN : 1995

Unidad Temática	<u>PROGRAMA ANALÍTICO:</u>	Carga Horaria
<u>Unidad Temática 10</u>	<p>Registro de desplazamiento</p> <p>Registros de desplazamiento de entrada serie y paralelo. Registro de retención de entrada serie y paralelo, sincrónicos y asincrónicos, direccionamiento de flujo en la entrada y salida serie. Contadores de anillo, Jonson, y de secuencia pseudo aleatorias. Registros pila, FIFO, FILO y aleatorios.</p>	10 hs
<u>Unidad Temática 11</u>	<p>Memorias Semiconductoras</p> <p>Estructura de una memoria básica. Memorias de solo lectora de diodos y de fusibles. Memorias de solo lectura regrabables borrables con UV. Memorias CCD, retardadoras. Memorias de burbuja magnética. Memorias no volátiles borrables eléctricamente EEPROM FLASH. Memorias volátiles RAM, memorias estáticas y memorias dinámicas. Análisis de los gráficos temporales de acceso, escritura y lectura, paginado, y burst.</p>	10 hs

VIGENCIA AÑOS	2007	2008	2009	2010	2011	2012
---------------	------	------	------	------	------	------



Universidad Tecnológica Nacional
Facultad Regional Bahía Blanca

5/7

Departamento Electrónica

Materia: Técnicas Digitales I

CÓDIGO: 9-95-0326

AÑO: Tercero

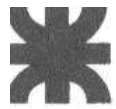
Régimen: Anual

PLAN : 1995

BIBLIOGRAFIA:

- 1.- **Sistemas Electrónicos Digitales - Enrique Mandado - Marcombo Boixareu Ed. - 8ª edición**
- 2.- **Introducción a las Técnicas Digitales con Circuitos Integrados - M.C.Ginzburg - Biblioteca Técnica Superior - 1994**
- 3.- **Diseño Digital, Principios y Práctica - John F. Wakerly – 3ºEd. Prentice Hall Hispanoamérica - 2001**
- 4.- **Switching Transistor Handbook - W. D. Roehr - Ed. Motorola Inc. 1963**
- 5.- **MECL System Design Hanbook - W. R. Blood, Jr. - Ed. Motorola Inc. - Fourth Edición - 1988**
- 6.- **Digital Integrated Electronics - H. Tabú - D. Schilling - Ed. Mc Graw Hill Inc - 2nd Ed - 1989**
- 7.- **Design Considerations for Logic Products - Applicions Book Volume 1 - Texas Instruments - 1997.**
- 8.- **Design Considerations for Logic Products - Applicions Book Volume 2 - Texas Instruments - 1999.**
- 9.- **Design Considerations for Logic Products - Applicions Book Volume 3 - Texas Instruments - 2000**
- 10.- **Switching Theory & Logia Design - F. J. Hill, G. R. Peterson - Third Ed. - Wiley - 1981**
- 11.- **Circuitos Digitales y Microprocesadores - Herbert Taub - Ed. Mc Graw Hill - 1983**
- 12.- **Tecnologías Digitales - P. Peláez, N. Martínez, J. A. Torres Barragán - Ed Paraninfo - 1993**
- 13.- **Análisis y Diseño de un Inversor - Néstor Hugo Mata – Universidad Tecnológica Nacional - 2000**
- 14.- **Notas de aplicación de distintos fabricantes de memorias semiconductora.**

VIGENCIA AÑOS	2007	2008	2009	2010	2011	2012
------------------	------	------	------	------	------	------



Universidad Tecnológica Nacional
Facultad Regional Bahía Blanca

6/7

Departamento Electrónica

PROGRAMA DE :

CÓDIGO: 9-95-0326

Técnicas Digitales I

PLAN : 1995

VIGENCIA AÑOS	2007	2008	2009	2010	2011	2012
------------------	------	------	------	------	------	------

LABORATORIOS

En cada laboratorio desarrollado se deberá hacer el diseño, implementación y simulación de los circuitos.

Práctica 1.- Reconocimiento del instrumental del laboratorio, normas de trabajo, normas de seguridad.

Práctica 2.- Retardos en compuertas. Comprobación de fenómenos aleatorios estáticos y dinámicos mediante el armado de una función lógica resultante de un problema real en rack de demostración y medición de retardos. Soluciones por redundancia.

Práctica 3.- Medición de tiempos de crecimiento y de caída, en circuitos RC de pulsos. Compensación en divisores de tensión. Medición de picos de tensión en circuitos RL y RLC con la aplicación de pulsos y ondas cuadradas. Métodos de amortiguamiento y compensación.

Práctica 4.- Diseño e implementación de un inversor básico. Implementación de un biestable con dos inversores. Implementación de un astable a partir del uso de dos inversores. Métodos de mejora de los tiempos de almacenamiento, crecimiento y caída. Medición de tiempos de retardo y establecimiento.

Práctica 5.- Acondicionamiento de señales débiles con ruido a niveles lógicos predeterminados por medio del uso de un disparador de Smith diseñado e implementado para el caso presente.

Práctica 6.- Implementación de circuitos adaptadores de niveles y carga entre distintas lógicas. Adaptación de líneas de transmisión entre compuertas lógicas del mismo tipo.

Proyecto Integrador:

Realización de un contador sincrónico de cuenta ascendente y descendente con módulo n distinto a una potencia de dos, con posibilidad de carga paralelo sincrónica. El contador debe implementarse con elementos integrados de la serie TTL estándar o CMOS estándar. Medición de la máxima frecuencia de cuenta.

	Universidad Tecnológica Nacional						7/7
	Facultad Regional Bahía Blanca						
Departamento Electrónica							
PROGRAMA DE :					CÓDIGO: 9-95-0326		
Técnicas Digitales I					PLAN : 1995		
VIGENCIA AÑOS	2007	2008	2009	2010	2011	2012	

MÉTODO DE EVALUACIÓN:

Cursado de la Materia:

El cursado de la materia estará dado por la aprobación de, los cuestionarios de elección múltiple teóricos tomados periódicamente, los cuestionarios sobre el trabajo a desarrollar antes de cada práctica, la aprobación del práctico y las simulaciones y tres parciales de problemas de diseño. El nivel a alcanzar es de un promedio del 60 % de la calificación.

Promoción de la Materia

La promoción de la materia podrá alcanzarse en forma directa si el promedio de calificaciones obtenido en los cuestionarios y las prácticas, supera el 80 %. En caso del alumno que alcanzó el 60 % para el cursado y no llega al 80 % deberá rendir un examen final.

VIGENCIA DE ESTE PROGRAMA

AÑO	PROFESOR RESPONSABLE (firma aclarada)	AÑO	PROFESOR RESPONSABLE (firma aclarada)

VISADO

PROFESOR JEFE DE AREA	SECRETARIO ACADÉMICO	DIRECTOR DE DEPARTAMENTO
Fecha:	Fecha:	Fecha:

VIGENCIA AÑOS	2007	2008	2009	2010	2011	2012
------------------	------	------	------	------	------	------