



Universidad Tecnológica Nacional
Facultad Regional Bahía Blanca

1/5

Departamento de Ingeniería Electrónica

PROGRAMA DE :

CÓDIGO: 9-951-0642

Diseño Digital Utilizando FPGA y Lenguajes de Descripción de Hardware

ÁREA: Electrónica

PLAN: 1995

<input type="checkbox"/> RÉGIMEN CUATRIMESTRAL		5 Hs. / Sem.		PROFESOR RESPONSABLE
HORAS DE CLASE		80 / Totales		
TEÓRICAS		PRÁCTICAS LABORATORIO		Dr. Ing. Ricardo Cayssials
Total	% s /Total Materia	Total	% s/ Total Materia	
48	60%	32	40%	
CORRELATIVAS PARA CURSADO		CORRELATIVAS PARA RENDIR FINAL		
CURSADAS		APROBADAS		
Técnicas Digitales II		Técnicas Digitales I		

OBJETIVOS:

En la asignatura se cubren los conceptos básicos de dispositivos lógicos programables (PLD), tal como las PALs primitivas, para continuar con dispositivos lógicos programables complejos (CPLD) y arreglos de compuertas programables (FPGA). En todos los dispositivos se discuten los conceptos de sus arquitecturas, herramientas de diseño y la teoría de diseño digital necesaria en cada uno de ellos.

La especificación y verificación del diseño se realiza mediante la introducción de los conceptos necesarios para la utilización de Lenguajes de Descripción de Hardware (HDL) y la verificación y simulación de los mismos.

CONTENIDOS MÍNIMOS:

- Dispositivos Lógicos Configurables (CPLD y FPGA).
- Lenguajes de Descripción de Hardware para síntesis de lógica digital en dispositivos lógicos configurables.
- Técnicas de Diseño Digital sincrónico mediante Lenguajes de Descripción de Hardware.
- Introducción de técnicas de simulación de circuitos digitales.

VIGENCIA AÑOS	2022	2023	2024	2025	2026	2027
---------------	-----------------	------	------	------	------	------



Universidad Tecnológica Nacional
Facultad Regional Bahía Blanca

2/5

Departamento Electrónica

Materia: Diseño Digital Utilizando FPGA y Lenguajes de Descripción de Hardware

CÓDIGO: 9-951-0642

AÑO: Quinto

Régimen: Cuatrimestral

PLAN : 1995

Unidad Temática	<u>PROGRAMA ANALÍTICO:</u>	Carga Horaria
<u>Unidad Temática</u> 1	Unidad 1: Evolución y conceptos fundamentales de ROM, PAL y PLD en diseño digital. Alternativas para la síntesis de funciones lógicas: implementación de funciones lógicas mediante multiplexores, demultiplexores, memorias ROM y Tablas de Look-Up. Ventajas, desventajas, criterios de minimización y evolución a los arreglos lógicos programables (PALs y PLDs). PALs primitivos, incorporación de elementos de memoria, PALs modernos. Diferentes tecnologías de fabricación: fuses, antifuses, llaves RAM, fusibles EEPROM.	10 hs
<u>Unidad Temática</u> 2	Unidad 2: Introducción a la Descripción de Circuitos Combinacionales en VHDL: Instrucciones básicas, filosofía de la especificación de hardware. Conceptos principales de los Lenguajes de Especificación de Hardware. Conceptos principales de VHDL. Estilos de escritura: Behavioral, RTL, Logic, Layout. Conceptos de Entidad, Arquitectura y Jerarquía. Declaraciones, Configuraciones, Configuración por Defecto.	10 hs
<u>Unidad Temática</u> 3	Unidad 3: Implementación y Diseño de Máquinas Secuenciales en VHDL: Variables, Señales, Constantes y Arreglos. Especificación de Tablas de Transición de Estados en VHDL. Especificación de variables de estado y tabla de funciones de salida. Procesos y Tipos. Señales y Tipos de Datos: Concepto de tipo y especificación, tipo de datos estándar, Lógica Multivaluada.	10 hs
<u>Unidad Temática</u> 4	Unidad 4: Diseño y Especificación de Hardware mediante otros lenguajes: AHDL. Estructura de diseño. Sentencias: Title, Parameters, Include, Constant, Define. Sección de declaraciones: Instancias, Nodos, Registros, Máquinas de Estados. Implementación de Lógica Activa Baja, Implementación de señales bidireccionales, implementación de buffers Tri-State.	10 hs
<u>Unidad Temática</u> 5	Unidad 5: Operadores, Funciones, Procedimientos, Paquetes y Librerías. Sección Lógica: ecuaciones booleanas, ecuaciones de control booleanas, sentencias CASE, DEFAULTS, IF-THEN, IF-GENERATE, FOR-GENERATE, TRUTH TABLE. Definición de funciones parametrizadas y generación de librerías.	10 hs
<u>Unidad Temática</u> 6	Unidad 6: Ejemplos ilustrativos: Sumador serie con acumulador y Multiplicador binario, Multiplicación de Números con signo, Divisor binario. Especificación de un semisumador y sumador completo en VHDL. Especificación de entidad y arquitectura. Declaración de instancias de entidades. Especificación de semisumador y sumador completo en AHDL. Comparación de las diferentes especificaciones. Utilización de librerías parametrizadas para operaciones de multiplicación y división de números con signo.	10 hs

VIGENCIA AÑOS	2022	2023	2024	2025	2026	2027
---------------	-----------------	------	------	------	------	------



Universidad Tecnológica Nacional
Facultad Regional Bahía Blanca

3/5

Departamento Electrónica

Materia: Diseño Digital Utilizando FPGA y Lenguajes de Descripción de Hardware

CÓDIGO: 9-951-0642

AÑO: Quinto

Régimen: Cuatrimestral

PLAN : 1995

Unidad Temática	<u>PROGRAMA ANALÍTICO:</u>	Carga Horaria
<u>Unidad Temática 7</u>	Unidad 7: Técnicas de Verificación y Simulación. Descripción de Técnicas de Verificación en circuitos digitales de alta escala de integración. Generación de vectores de verificación y simulación. Generación de señales de monitoreo y control. Influencia de señales de verificación en la especificación, síntesis y simulación. Conceptos necesarios para comprender los datos obtenidos en simulación.	10 hs
<u>Unidad Temática 8</u>	Unidad 8: Técnicas de Testeo y Programación en Sistemas. Introducción a los conceptos de Programación en Sistema (ISP – In System Programmability). Ventajas de los dispositivos programables en sistema vs. los dispositivos tradicionales. Interfase de Programación en Sistema y descripción de las líneas de control y datos. Configuración de los multi-dispositivos a través de una interfase de Programación en Sistema. JTAG y su utilización para el testeo de dispositivos montados en sistemas. Conceptos de JAM: una interfase de Programación en Sistema independiente de dispositivos.	10 hs

VIGENCIA AÑOS	2022	2023	2024	2025	2026	2027
---------------	-----------------	------	------	------	------	------



Universidad Tecnológica Nacional
Facultad Regional Bahía Blanca

4/5

Departamento Electrónica

Materia: Diseño Digital Utilizando FPGA y Lenguajes de Descripción de Hardware

CÓDIGO: 9-951-0642

AÑO: Quinto

Régimen: Cuatrimestral

PLAN : 1995

BIBLIOGRAFIA:

1. "Diseño Digital: Principios y Prácticas", Wakerly, Tercera Edición, Prentice Hall, 2002.
2. "Digital Systems Design with VHDL and Synthesis: An Integrated Approach", K. C. Chang, IEEE Computer Press, 1999.
3. "A Guide to VHDL Syntax", J. Bhasker, Prentice Hall, 1995.
4. "VHDL and AHDL Digital System Implementation", Frank Scarpino, Prentice Hall, 1998.
5. "Design of Logic Systems", Douglas Lewin and David Protheroe, Chapman & Hall, 1992.
6. "The Practical Xilinx Designer Lab Book", Dave Van den Bout, Prentice Hall, 1997.
7. "Digital Systems Design and Prototyping using Field Programmable Logic", Zoran Salcic and Asim Smailagic, Kluwer Academic Publishers, 1998.
8. "In-System Programmability Handbook", ALTERA, 1997.
9. "MAX-PLUS II – AHDL", ALTERA, 1998.
10. "MAX-PLUS II – VHDL", ALTERA, 1998.
11. "Sistemas Digitales: Principios y Aplicaciones, 6ta Ed", Ronald J. Tocci, Pearson Educación, 1996.
12. "FPGA data book and Design Guide", ACTEL, 1996.
13. "Timing Solutions", Motorola, 1997.
14. Notas de aplicación de distintos fabricantes de memorias semiconductoras.
15. R. Cayssials, "Sistemas embebidos en FPGA", Editorial Alfaomega, 2014, ISBN 978-987-1609-69-7, pp:335.

VIGENCIA AÑOS	2022	2023	2024	2025	2026	2027
------------------	-----------------	------	------	------	------	------



Universidad Tecnológica Nacional
Facultad Regional Bahía Blanca

5/5

Departamento Electrónica

PROGRAMA DE :

CÓDIGO: 9-951-0642

Técnicas Digitales I

PLAN : 1995

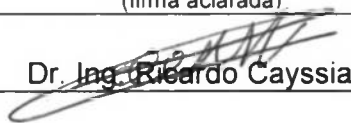
Actividades de formación práctica

La asignatura contará con la realización de actividades de formación práctica de laboratorios, coordinada con el desarrollo de las clases teóricas, que los alumnos deberán cumplir en tiempo y forma. Durante la vigencia del distanciamiento social, se realizarán las prácticas mediante simulaciones y laboratorios remotos.

Cursado y Régimen de aprobación

El cursado y régimen de aprobación de la asignatura es conforme a las condiciones establecidas por la Ordenanza Nro. 1549

VIGENCIA DE ESTE PROGRAMA

AÑO	PROFESOR RESPONSABLE (firma aclarada)	AÑO	PROFESOR RESPONSABLE (firma aclarada)
2022	Dr. Ing.  Ricardo Cayssials	2025	
2023		2026	
2024		2027	

VISADO

PROFESOR JEFE DE AREA	SECRETARIO ACADÉMICO	DIRECTOR DE DEPARTAMENTO
Fecha:	Fecha:	Fecha:

VIGENCIA AÑOS	2022	2023	2024	2025	2026	2027
---------------	-----------------	------	------	------	------	------